

Abstract

Implementing hardware design in Field Programmable Gate Arrays (FPGAs) is a formidable task. Computation algorithms are required that exploit the FPGA architecture to make it efficient in terms of speed and/or area. This work describes Distributed Arithmetic (DA) techniques of a Finite Impulse Response (FIR) filter.

Different techniques of DA are explored and implemented using schematic editor in an FPGA. These implementations clearly show that the DA technique is the best choice for implementing FIR digital filters with Xilinx FPGAs.

One of these implementations, namely, Serial Distributed Arithmetic (SDA) exhibits efficiency in terms of area, this operation depending on shifting samples one by one until arriving to the last sample. The other implementation, named Parallel Distributed Arithmetic (PDA) shows a very high sample rate, in this method all samples are loaded in parallel. Linear-phase response FIR filters were also developed and implemented in an FPGA using the DA technique. The work partitioned into two parts, the first one is implementation (8bit-8tap) algorithm for two types FIR input data and output (17-bit) for SDA and (19-bit) for PDA. In order to increase accuracy with decrease error ratio and increase FIR filter speed, the algorithm of (16bit-8tap) for these two filter types was implemented with (16-bit) input data and (34-bit) output data for SDA application and (38-bit) output data for PDA application. In both parts, system test by using FPGA software package version(3.1) in Xilinx (XC4020-09-PQ208) and system frequency (10MHz). Where higher speed get is (120.846 MHz) for (16-bit) input data and (113.379MHz) for (8-bit) input data.

Finally, the field programmable gate array technology gives the system design high flexibility, modularity, reliability, accuracy, high speed, and small size. The result shows that Parallel Distributed Arithmetic techniques are used to achieve the fastest sample rates, while for lower rates can be sustained with a

الخلاصة

تنفيذ الدوائر الرقمية في المجال المبرمج لمصفوفة البوابات (FPGA) يعتبر الخيار الأمثل حيث التنفيذ في هذا المجال يزيد الكفاءة بالسرعة أو الحجم. هذا العمل يتناول تقنية الحساب التوزيعية (D.A) لمرشح الاستجابة الرقمية المنتهية (FIR filter). عدة تقنيات للـ (D.A) استخدمت و طبقت باستعمال طريقة (Schematic editor) في المجال المبرمج لمصفوفة البوابات ، واحدة من هذه التطبيقات تسمى بالحسابات الرقمية المتوالية (SDA) والتي تعمل على زيادة الكفاءة بدلالة الحجم هذه التقنية تعتمد على ترخيص البيانات الداخلة واحد بعد الآخر. التطبيق الآخر يسمى بالحسابات التوزيعية المتوازية (PDA) حيث يعطينا سرعة عالية لترخيص البيانات الداخلة والتي تدخل بشكل متوازي.

ينقسم العمل الى جزأين، الجزء الأول هو تنفيذ خوارزمية (8bit-8tap) لنوعين من مرشح (FIR) هما المتماثل و غير المتماثل مع ادخال بيانات ل (8-bit) و اخراج بيانات ل (17-bit) للـ (SDA) و (19-bit) للـ (PDA). ولغرض زيادة الدقة و تقليل نسبة الخطأ مع زيادة سرعة المرشح فلقد نفذ الجزء الثاني وهو تنفيذ خوارزمية (16BIT-8TAP) لنوعين ذاتها لمرشح (FIR) مع ادخال بيانات ل (16-bit) و اخراج بيانات ل (34-bit) لتطبيقات (SDA) و (38-bit) لتطبيقات (PDA).

أن كلا الجزئين تم اختبار النظام لهما باستخدام المحاكاة لنظام البرمجة الخاص بـ (FPGA) المسمى (Foundation 3.1) وتم التنفيذ على قطعة (FPGA) نوع (XC4020-09-PQ208) وتردد النظام هو (10MHz). النتائج بينت ان الحسابات التوزيعية المتوازية (PDA) تستعمل لغرض تسريع نقل البيانات حيث تم الحصول على اعلى سرعة وهي (120.846 MHz) للـ (16-bit) و (113.379MHz) للـ (8-bit) بينما الحسابات التوزيعية المتوالية (SDA) تكون اقل سرعة واصغر حجم.

واخيرا، فان تكنولوجيا المجال المبرمج لمصفوفة البوابات يعطي النظام مرونة عالية ،