

الخلاصة

إن زمن الاستقرار ودقة التفريق العالية للتردد مفتاحين رئيسيين لمركب التردد. إن زمن الاستقرار مرتبط بنطاق حزمة التردد لدائرة إقفال الطور المغلقة. إن تقنية مركب التردد الكسري لدائرة إقفال الطور هي التقنية الأكثر تقدماً والتي تستخدم مؤخراً لحل المشكلة بين دقة التفريق العالية للتردد ونطاق حزمة التردد لأنها تعرض نطاق حزمة ترددية عريضة مع قنوات ترددية تفصلها مسافة ترددية ضيقة. إن مقسم التردد لمركب التردد الكسري ينفذ بواسطة تغيير نسبة التقسيم بين عددين صحيحين للحصول على متوسط نسبة تقسيم كسرية. إن تغيير نسبة التقسيم عادة سيقدم زيادة في مستوى التردد الطيفي وضوضاء الطور في ناتج الدورة. تستخدم تقنية التضمين من نوع $[\sigma\Delta]$ لتشكل الضوضاء الناتجة من نسبة التقسيم الديناميكية.

في هذه الرسالة تم مناقشة تحليل، تصميم وتقييم المحاكاة لمضمن من النوع $(\sigma\Delta)$ ومرشح دورة من الرتبة الثانية والثالثة والرابعة على التوالي لإظهار تأثيرهم على أداء مركب التردد الكسري لدائرة إقفال الطور لنظام GSM. تظهر كل نتائج المحاكاة إن النظام مستقر. النتائج التي تم الحصول عليها لمركب التردد لزمن الاستقرار ومستوى التردد الطيفي وضوضاء الطور عند (20 MHz offset) للرتبة الثانية والثالثة والرابعة لمضمن من نوع $(\sigma\Delta)$ ومرشح دورة على التوالي هي $2.92 \mu s$ ، -35 dBc ، -164 dBc/Hz ، $3.28 \mu s$ ، -64 dBc ، $3.38 \mu s$ ، -186 dBc/Hz ، -79 dBc و -190 dBc/Hz على التوالي. أظهرت نتائج المحاكاة تحسین في مستوى التردد الطيفي وضوضاء الطور بمقدار -19 dBc ، -31 dBc/Hz لنظام الرتبة الثالثة و -34 dBc ، -35 dBc/Hz لنظام الرتبة الرابعة على التوالي إذا ما قورنت بنتائج العمل المنشورة. استخدمت الحقيبتان البرمجتان CppSim و Matlab (R2007a) في محاكاة مركب التردد من نوع $(\sigma\Delta \text{ fractional-N PLL})$.

Abstract

The settling time and frequency resolution are two trade-off key in frequency synthesizer. The settling time is related to the closed loop bandwidth of the phase-locked loop. Fractional-N phase-locked loop-frequency synthesizer technique is the most advanced and recent technique to resolve the resolution-bandwidth tradeoff because it offers a wide bandwidth with narrow channel spacing. The fractional-N divider is realized by means of changing the divider ratio between two integers to get an average fractional divider ratio. Normally the changing of divider ratio will import excess spur and phase noise in the output of the loop. Sigma-delta modulation technique is used to shaping the noise imported by dynamic divider ratio.

In this thesis, the analysis, design and simulation evaluation of 2nd, 3rd and 4th order sigma-delta modulator and loop filter respectively are discussed to show their impact on the performance of fractional-N phase-locked loop- frequency synthesizer for GSM system. All simulation results show that the system is stable. The resulting settling time, spurious level and phase noise at 20 MHz offset frequency of this synthesizer for 2nd, 3rd and 4th order sigma-delta modulator and loop filter respectively are 2.92 μ s, -35 dBc, -164 dBc/Hz, 3.28 μ s, -64 dBc, -186 dBc/Hz, 3.38 μ s, -79 dBc and -190 dBc/Hz respectively. These results show the improvement in the spurious level and phase noise by -19 dBc, -31dBc/Hz for 3rd order system and -34 dBc, -35 dBc/Hz for 4th order system respectively if compared with the published work. CppSim program and Matlab (R2007a) are used for the simulation of sigma-delta fractional-N phase-locked loop-frequency synthesizer.